

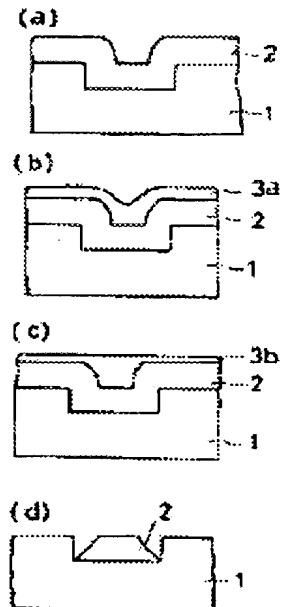
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP4003958
Publication date: 1992-01-08
Inventor: ROORENSU KEISU HOWAITO
Applicant: SHARP CORP
Classification:
- **international:** H01L21/76; H01L21/316
- **european:**
Application number: JP19900106139 19900420
Priority number(s):

Abstract of JP4003958

PURPOSE: To enable embedment by filling only a trench with a flat film of poor-melting SiOx by flattening the surface of a film of poor-melting SiOx in a trench through an etching whose rate is lower to a film of well-melting glass than to a film of poor-melting SiOx and by overlaying the flat film with poor-melting SiOx and a flat layer of well-melting glass for repetition of etching.

CONSTITUTION: A film 2 of poor-melting SiOx is deposited by CVD of a surface including trench interiors of a silicon substrate 1 having a plurality of trenches. After the film 2 of poor-melting SiOx is overlaid with a film 3a of well-melting glass so as to fill a trench at least, the surface is flattened by annealing treatment at a temperature above the softening point of the film of well-melting glass. The film 3a of well-melting glass and the film 2 of poor-melting SiOx are etched under a condition that etching rate is lower to the former film than to the latter film until the silicon face of the substrate 1 is exposed with no residuals of the film 3a of well-melting glass. Further, poor-melting SiOx 2 is embedded only in a trench so as to fill it by once or more repetition of each of the above-mentioned steps.



⑫ 公開特許公報(A) 平4-3958

⑤Int. Cl.⁵H 01 L 21/76
21/316

識別記号

L

庁内整理番号

6741-4M

⑬公開 平成4年(1992)1月8日

6940-5F H 01 L 21/94

A

審査請求 未請求 請求項の数 1 (全4頁)

⑭発明の名称 半導体装置の製造方法

⑯特 願 平2-106139

⑰出 願 平2(1990)4月20日

⑱発明者 ローレンス ケイス 米国、ニュージャージー 08550、プリンストン ジャン
ホワイ ト クション、ワイカムウェイ 6
⑲出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
⑳代理人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. (a)複数のトレンチを有するシリコン基板のトレンチ内を含む表面に、CVD法により難溶融性 SiO_x 膜を形成する工程、

(b)上記シリコン基板の難溶融性 SiO_x 膜の上に少なくともトレンチ内が充填されるように良溶融性ガラス膜を積層し、この後に良溶融性ガラス膜の融点以上の温度でアニール処理を施すことにより表面を平坦化する工程、

(c)この良溶融性ガラス膜と難溶融性 SiO_x 膜を基板のシリコン面が露出しかつ良溶融性ガラス膜が残存しなくなるまで、良溶融性ガラス膜に対するエッチング速度が難溶融性 SiO_x 膜に対するエッチング速度よりも遅い条件のエッチングを行う工程、

(d)更に(a)(b)及び(c)各工程を1回以上繰り返すことによりトレンチ内にのみ難溶融性 SiO_x を充

満させるように埋設する工程、からなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、半導体装置の製造方法に関する。さらに詳しくは、素子分離領域の形成方法に関し、特にサブミクロンデバイスの製造に用いられる。

(ロ) 従来の技術

従来、素子分離領域は、LOCOS法によって作製されてきたが、バースピーク(鳥の口ばし状の素子分離領域の突起物)の発生の為、素子分離巾を $1\mu\text{m}$ 以下にするのが困難となり、最近では基板表面にトレンチを形成した後、CVD法により絶縁膜を埋設して行うボックス法が用いられている。

(ハ) 発明が解決しようとする課題

上述の方法は、トレンチ内を絶縁膜で埋設する際、絶縁物のエッチバック工程においては、乾式エッチング法が多く使われるが、エッチバックの均一性や選択性が十分でないという問題がある。また、湿式エッチング法を用いた場合には、エッ

チバックした後に、トレンチの側壁部で段差を生じる欠点がある。

この発明は、上記欠点を解決するためになされたものであり、CVD法によってトレンチ内を含む領域に積層された絶縁物を、トレンチ内のみ充填して埋設されるように、均一性よく平坦な表面になる様にエッチングすることができる半導体装置の製造方法を提供しようとするものである。

(二) 課題を解決するための手段

この発明によれば、(a)複数のトレンチを有するシリコン基板のトレンチ内を含む表面に、CVD法により難溶性SiO_x膜を形成する工程、(b)上記シリコン基板の難溶性SiO_x膜の上に少なくともトレンチ内が充填されるように良溶性ガラス膜を積層し、この後に良溶性ガラス膜の軟化点以上の温度でアニール処理を施すことにより表面を平坦化する工程、(c)この良溶性ガラス膜と難溶性SiO_x膜を基板のシリコン面が露出しかつ良溶性ガラス膜が残存しなくなるまで、良溶性ガラス膜に対するエッチング速度が

この発明においては、(b)上記シリコン基板の難溶性SiO_x膜の上に少なくともトレンチ内が充填させるように良溶性ガラス膜を積層し、この後に良溶性ガラス膜の軟化点以上の温度でアニール処理を施すことにより表面を平坦化する。

上記良溶性ガラス膜は、トレンチ内に形成された難溶性SiO_x表面の凹部を平坦化するためのものであって、例えばBPSG（ボロンホスホシリケートガラス）、BSG（ボロンシリケートガラス）、PSG（ホスホシリケートガラス）等を難溶性SiO_x膜の凹部表面上に少なくともトレンチ内が充填されるように埋設して用いることができる。この埋設は、例えばCVD法、スパッタ法等によって形成することができる。この良溶性ガラス膜は、軟化点が通常600～900℃であり、通常700～1200℃でアニール処理を施すことにより流動させて表面平坦化することができる。

この発明においては、(c)この良溶性ガラス膜と難溶性SiO_x膜を基板のシリコン面が露出し

難溶性SiO_x膜に対するエッチング速度よりも遅い条件のエッチングを行う工程、(d)更に(a)(b)及び(c)各工程を1回以上繰り返すことによりトレンチ内にのみ難溶性SiO_xを充填させるように埋設する工程、からなることを特徴とする半導体装置の製造方法が提供される。

この発明において、(a)複数のトレンチを有するシリコン基板のトレンチ内を含む表面CVD法により難溶性SiO_x膜を形成する。

上記トレンチは、素子分離領域を構成する絶縁物を埋設するためのものであって、通常0.5～1.0μmの深さと0.5～10μmの幅の横断面を有する溝をシリコン基板表面に複数形成して用いることができる。

上記難溶性SiO_x膜（xは通常2であり、2未満も含む）は、素子分離領域の絶縁物を構成するためのものであって、CVD法によって上記トレンチ内を含む表面に積層して形成することができ、通常600～900℃の軟化点を有するものが絶縁性に優れているので好ましい。

かつ良溶性ガラス膜が残存しなくなるまで、良溶性ガラス膜に対するエッチング速度が難溶性SiO_x膜に対するエッチング速度よりも遅い条件のエッチングを行う。

上記エッチングは、基板のシリコン面を露出させかつ良溶性ガラス膜を残存しないように除去するためのものであって、良溶性ガラス膜に対するエッチング速度が難溶性SiO_x膜に対するエッチング速度よりも遅い条件で行うのが適している。

このエッチング条件は、乾式法又は湿式法のいずれも用いることができ、乾式法としては例えばCHF₃プラズマを用いるRIE法等を挙げることができ、湿式法としては、例えばバッファードフッ酸（BHF）、フッ酸（HF）希釈液等を用いる方法等を挙げることができる。

この発明においては、(d)更に(a)(b)及び(c)各工程を1回以上繰り返すことによりトレンチ内にのみ難溶性SiO_xを充填させるように埋設する。

上記(a)(b)及び(c)各工程の繰り返しは、トレ

ンチ内にのみ難溶性 SiO_x を充填させるように埋設するためのものであって、難溶性 SiO_x 膜表面を段階的に平坦化することができる。

上記トレンチ内に充填して埋設された難溶性 SiO_x 膜は、素子分離領域を構成し、この素子分離領域で区画された領域内に素子を形成することによって半導体装置を構成することができる。

(ホ) 作用

良溶性ガラス膜に対するエッチング速度が難溶性 SiO_x 膜に対するエッチング速度よりも遅い条件のエッチングがトレンチ内の難溶性 SiO_x 膜表面の凹部を小さくし、更にこの上に難溶性 SiO_x と平坦な良溶性ガラス層を形成して上記エッチングをくり返すことによりトレンチ内にのみ平坦な難溶性 SiO_x 膜を充填して埋設する。

(ヘ) 実施例

この発明の実施例を図面を用いて説明する。

まず、シリコン基板1に深さ $0.5\mu\text{m}$ 、幅 $1.0\mu\text{m}$ のトレンチを形成し、トレンチ内を含む領域中に第1 CVDSiO₂膜2(難溶性)を形成する[第1図(a)]。

により、トレンチ内で均一に平坦な表面になるように埋設された第2 CVDSiO₂膜2 bを形成し、素子分離領域を作製して、半導体装置を製造する。

(ト) 発明の効果

この発明によれば、簡便かつ低コストで、トレンチ内を難溶性のCVDSiO₂で均一性よく、平坦な表面になるように埋設して微細な寸法の素子領域を形成することのできる半導体装置の製造方法を提供することができる。この発明の方法を用いることによってトレンチの開口幅とパターン密度によることなく高密度の配線パターンを有する半導体装置を製造することができる。

4. 図面の簡単な説明

第1図はこの発明の実施例で作製した半導体装置の製造工程説明図である。

- 1 ……シリコン基板、
- 2 ……第1 CVDSiO₂膜、
- 2 a, 2 b ……第2 CVDSiO₂膜、
- 3 a, 3 b ……第1 BPSG膜、

第1 CVDSiO₂膜2の膜厚はトレンチ深さと同程度がよく、 5000\AA とする。

次に、第1 BPSG膜3 a(良溶性)をCVD法により形成する。この膜厚は 5000\AA とする[第1図(b)]。次に、この基板を 1000°C の高温アニールにより、表面平坦化を行う。この時トレンチのアスペクト比(トレンチ深さ/トレンチ幅)が小さい程トレンチ内の埋設容積が増え、その結果として、第1 BPSG膜3 bの膜厚が薄くなる[第1図(c)]。

次に、第1 BPSG膜3 bと第1 CVDSiO₂膜2を湿式エッチング液(バッファードフッ酸(BHF))により基板1が露出され、第1 BPSG膜3 bが残存しなくなるまで、エッチングする。この時、トレンチ側壁部が露出する。これはCVDSiO₂とBPSGのエッチレートの違いによる(第1図(d))。次に、第1図(e)~(g)に示す様に膜厚 2500\AA の第2 CVDSiO₂膜2 aと、膜厚 2500\AA の第2 BPSG 3 cの積層及び 1000°C の高温アニールによって平坦な第2 BPSG膜3 dを形成し、エッチバック工程を繰り返すこと

3 c, 3 d ……第2 BPSG膜。

代理人 井理士 野河 信太郎

1

